

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

15787321

Basic Patent (No,Kind,Date): JP 2000040924 A2 20000208 <No. of Patents: 001>

CONSTANT CURRENT DRIVE CIRCUIT (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): NISHITOBA SHIGEO

IPC: \*H03F-003/345; G05F-003/26

Derwent WPI Acc No: \*G 2000-202702; G 2000-202702

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 2000040924	A2	20000208	JP 98209141	A	19980724 (BASIC)

Priority Data (No,Kind,Date):

JP 98209141 A 19980724

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

06455351 \*\*Image available\*\*

CONSTANT CURRENT DRIVE CIRCUIT

PUB. NO.: 2000-040924 [JP 2000040924 A]

PUBLISHED: February 08, 2000 (20000208)

INVENTOR(s): NISHITOBA SHIGEO

APPLICANT(s): NEC CORP

APPL. NO.: 10-209141 [JP 98209141]

FILED: July 24, 1998 (19980724)

INTL CLASS: H03F-003/345; G05F-003/26

### ABSTRACT

PROBLEM TO BE SOLVED: To realize a stable operation for the power voltage of a constant current drive circuit, without depending on on-voltage even if the power voltage of a circuit on an input terminal is low and on-voltage between the gate/source of an MOS transistor used in a constant current drive circuit is large.

SOLUTION: In a constant current drive circuit converting signal voltage from an input terminal into current and supplying the current to a load through a current mirror circuit, voltage which is level-shifted by a first source follower 12 to which signal voltage from the input terminal 1 is inputted and a transistor 13, which is connected in series to the first source follower and which is diode-connected, is inputted to a second source follower 5 which drives the current mirror circuit. Signal voltage from the input terminal 1 is converted into current, and the current is supplied to the load 11 through the current mirror circuit.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40924

(P2000-40924A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.<sup>7</sup>

H 03 F 3/345

G 05 F 3/26

段別記号

F I

マーク<sup>7</sup>(参考)

H 03 F 3/345

G 05 F 3/26

Z 5 H 4 2 0

5 J 0 9 1

審査請求 有 請求項の数11 OL (全9頁)

(21)出願番号

特願平10-209141

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成10年7月24日(1998.7.24)

(72)発明者 西島羽 茂夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5H420 NA31 NB03 NB25 NC02 NE26  
NE28

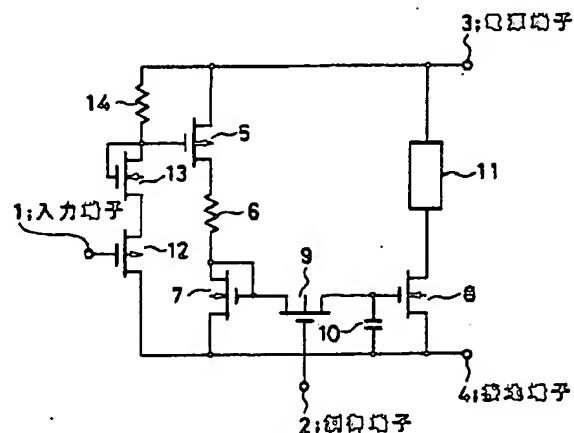
5J091 AA01 AA59 CA36 CA37 HA10  
HA19 HA25 HA39 KA06 KA09

(54)【発明の名称】 定電流駆動回路

(57)【要約】

【課題】定電流駆動回路の電源電圧に対し、入力端子側の回路の電源電圧が低く、さらに、定電流駆動回路で使用するMOSトランジスタのゲート・ソース間のオン電圧が大きい場合でも、そのオン電圧に依存することなく、安定動作を可能とする定電流回路の提供。

【解決手段】入力端子からの信号電圧を電流に変換しカレントミラー回路を介して該電流を負荷に供給する定電流駆動回路において、入力端子1からの信号電圧を入力とする第1のソースフォロワ12、及び、第1のソースフォロワに直列に接続しダイオード接続されたトランジスタ13でレベルシフトした電圧を、カレントミラー回路を駆動する第2のソースフォロワ5に入力し、入力端子1からの信号電圧を電流に変換しカレントミラー回路を介して該電流を負荷11に供給する。



## 【特許請求の範囲】

【請求項1】入力端子からの信号電圧を電流に変換しカレントミラー回路を介して該電流を負荷に供給する定電流駆動回路において、

前記入力端子からの信号電圧を入力とする第1のソースフォロワと、

前記第1のソースフォロワの出力を入力とし前記カレントミラー回路を駆動する第2のソースフォロワと、を備えたことを特徴とする定電流駆動回路。

【請求項2】入力端子からの信号電圧を電流に変換しカレントミラー回路を介して該電流を負荷に供給する定電流駆動回路において、

前記入力端子からの信号電圧を入力とする第1のソースフォロワ、及び、前記第1のソースフォロワに直列に接続される、ダイオード接続されたトランジスタでレベルシフトした電圧を、前記カレントミラー回路を駆動する第2のソースフォロワに入力する、ことを特徴とする定電流駆動回路。

【請求項3】入力端子からの信号電圧を電流に変換しカレントミラー回路を介して該電流を負荷に供給する定電流駆動回路において、

前記入力端子からの信号電圧を入力とするソースフォロワの出力で前記カレントミラー回路を駆動してなる、ことを特徴とする定電流駆動回路。

【請求項4】制御信号によって前記カレントミラー回路の入力端と出力端との導通・遮断を切替制御するスイッチ手段を備えたことを特徴とする請求項1乃至3のいずれか一に記載の定電流駆動回路。

【請求項5】前記スイッチ手段が遮断しても、前記負荷に電流を供給するための電荷保持手段をさらに備えたことを特徴とする請求項4記載の定電流駆動回路。

【請求項6】入力端子からの信号電圧を入力とする第1導電型のソースフォロワトランジスタと、

前記第1のソースフォロワトランジスタと高電位側電源間に接続されダイオード接続され第2導電型のトランジスタと、

前記ダイオード接続された第2導電型のトランジスタの出力を入力とする第2導電型のソースフォロワトランジスタと、

前記第2導電型のソースフォロワトランジスタの出力を抵抗を介して入力端を接続し、出力端を負荷に接続した、第2導電型のトランジスタよりなるカレントミラー回路と、

を備えたことを特徴とする定電流駆動回路。

【請求項7】前記入力端子からの信号電圧を入力とする第1導電型のソースフォロワトランジスタと、

前記第1導電型のソースフォロワトランジスタの出力を入力とする第2導電型のソースフォロワトランジスタと、

前記第2導電型のソースフォロワトランジスタの出力に

抵抗を介して入力端を接続し、出力端を負荷に接続した、第2導電型のトランジスタよりなるカレントミラー回路と、

を備えたことを特徴とする定電流駆動回路。

【請求項8】前記入力端子からの信号電圧を入力としソースを抵抗を介して接地したトランジスタと、

前記トランジスタのドレインに入力端を接続し、出力端を負荷に接続したカレントミラー回路と、

を備えたことを特徴とする定電流駆動回路。

【請求項9】制御信号によって、前記カレントミラー回路の入力端と出力端との導通・遮断を切替制御するするスイッチと、

前記スイッチの導通時に前記カレントミラー回路の入力端側のトランジスタのゲート・ソース間電位を保持し、前記スイッチの遮断時に、前記カレントミラー回路の出力端側のトランジスタにゲート電位を供給し前記負荷に電流を供給する容量と、をさらに備えたことを特徴とする請求項6乃至8のいずれか一に記載の定電流駆動回路。

【請求項10】前記トランジスタを薄膜トランジスタで構成したことを特徴とする請求項1乃至9のいずれか一に記載の定電流駆動回路。

【請求項11】前記負荷を有機EL (electroluminescence) 素子としたことを特徴とする請求項10記載の定電流駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は定電流駆動回路に関し、特に、入力端子側の信号処理系の回路の電源電圧を高くする必要を無くし、有機EL素子等の駆動に用いて好適とされる定電流駆動回路に関する。

## 【0002】

【従来の技術】定電流駆動を要する負荷の代表的な例として、例えば、有機EL (electroluminescence; エレクトロルミネセンス) 素子がある。有機EL素子は、開発からまだ日が浅く、輝度向上等で材料の選択に研究課題があるが、直流電流で駆動可能のこと、高輝度を高効率が実現でき、さらに、応答性・低温での温度特性が良好なこと等から、さまざまな分野で早期の量産化が望まれている。

【0003】有機EL素子を駆動する方式として、発光効率の良いアクティブマトリクス方式が採用され、特に、駆動回路を構成する部分を、薄膜トランジスタ（「TFT」という）で構成することが提案されている。

【0004】図4は、従来の定電流駆動回路の構成の一例を示す図である。図4を参照すると、負荷11としては、有機EL素子等があり、負荷11の一端は電源端子3に接続し、他端は定電流駆動用トランジスタ8のドレインに接続し、トランジスタ8のソースは接地端子4に

接続する。また、トランジスタ8のゲートと接地端子4の間には電荷保持容量10を接続する。

【0005】電荷保持容量10およびトランジスタ8の接続点には、スイッチ用トランジスタ9の一端を接続し、スイッチ用トランジスタ9のゲートは、制御端子2として、トランジスタ9の導通・遮断を制御し、従って、トランジスタ8を介して、負荷11に供給される定電流の導通・遮断を行う。スイッチ用トランジスタ9の他端は、トランジスタ8と同一導電型のトランジスタ7のゲートおよびドレインを接続し、トランジスタ7のソースは接地端子4に接続する。トランジスタ7および8はスイッチ用トランジスタ9を介して、カレントミラー回路を構成する。なお、図4では、スイッチ用トランジ

$$I_1 = (V_1 - VGS5 - VGS7) / R_6 \quad \dots (1)$$

【0009】但し、V1は入力端子1の電圧、VGS5、VGS7はトランジスタ5、7のゲート・ソース間のオン電圧、R6は抵抗6の抵抗値である。

【0010】従って、上式(1)に示す電流がトランジスタ7のドレインからソースに流れ、トランジスタ7のゲート・ソース間電圧として電圧に変換される。

【0011】制御端子2に制御信号を印加し、スイッチ用トランジスタ9が導通状態の場合、上式(1)で示した電流I1を電圧変換したトランジスタ7のゲート・ソース間電圧は、スイッチ用トランジスタ9を介して、電荷保持容量10およびトランジスタ8のゲートを駆動する。

【0012】トランジスタ7および8はカレントミラー回路を構成しているため、上式(1)で与えられる電流に比例した電流がトランジスタ8のドレイン電流として流れ、負荷11を定電流駆動する。

【0013】次に、制御端子2の制御信号によって、スイッチ用トランジスタ9が遮断状態の場合、スイッチ用

$$I_1 = (V_1 - 2VGSN) / R_6 \quad \dots (2)$$

【0016】カレントミラー回路が正常動作を行うためには、I1>0、従って、次式(3)が成り立つ必要がある。

$$VGSN < V_1 / 2 \quad \dots (3)$$

【0018】上式(3)から、図4に示した定電流回路が安定動作を行うためには、回路を構成するトランジスタのゲート・ソース間のオン電圧VGSNを、入力端子1の電圧V1の半分以下にする必要がある。

【0019】定電流駆動回路を有機EL素子の駆動回路に使用し、更に、薄膜トランジスタ(TFT)で構成した場合、有機EL素子の動作電圧は、5V以上と高い。そのため、TFTプロセスは高耐圧が必要であるが、プロセスが高耐圧になると、MOSトランジスタのゲート・ソース間のオン電圧も高くなる。

【0020】一方、入力端子1に入力される、不図示の信号処理系の回路は、ロジック回路等で構成しており、その電源電圧は消費電力削減等を目的として、低電圧化

タ9の極性(導電型)を示していないが、NおよびPチャネルMOSトランジスタのどちらを用いててもよい。

【0006】トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロワ用トランジスタ5のソースに接続する。トランジスタ5のゲートは入力端子1とし、ドレインは電源端子3に接続する。抵抗6の両端に発生する電圧によって、トランジスタ7および8で構成するカレントミラー回路の電流値は決定される。

【0007】図4で、入力端子1に信号電圧が印加すると、カレントミラー回路を構成するトランジスタ7のドレイン電流I1は次式(1)で表すことが出来る。

【0008】

$$I_1 = (V_1 - VGS5 - VGS7) / R_6 \quad \dots (1)$$

トランジスタ9が遮断しているため、トランジスタ7とトランジスタ8のゲート間は開路状態(オフ状態)となる。従って、トランジスタ7、8からなるカレントミラー回路は遮断する。しかし、スイッチ用トランジスタ9が導通状態の時に、トランジスタ7のゲート・ソース間には上式(1)に対応する電圧VGS7が発生し、さらに、電荷保持容量10にも同電圧が印加されている。この電圧がトランジスタ8のゲートに印加されるので、このゲート電圧に対応した電流を負荷11に供給する。即ち、スイッチ用トランジスタ9が遮断状態でも、上式(1)で与えられる電流を、負荷11に供給する。

【0014】図4に示した定電流駆動回路において、NチャネルMOSトランジスタのゲート・ソース間のオン電圧をVGSNとし、そのオン電圧がほぼ等しくなるよう、回路定数・バーンサイズ等を設定すると、上式(1)は、次式(2)となる。

【0015】

$$I_1 = (V_1 - 2VGSN) / R_6 \quad \dots (2)$$

の傾向にある。

【0021】ロジック回路の出力形式は種々あるが、抵抗負荷、アクティブ負荷いずれにしろ、図4に示した定電流駆動回路の入力端子1に現れる電圧の最大値は、信号処理系の電源電圧である。

【0022】

【発明が解決しようとする課題】すなわち、図4に示した従来の定電流駆動回路は、下記記載の問題点を有している。

【0023】第1の問題点は、定電流駆動回路の動作範囲が狭くなっている、ということである。その理由は、定電流駆動回路を構成する電源電圧が高くなり、それに伴い、たとえば、高耐圧薄膜トランジスタ(TFT)プロセス等、トランジスタのゲート・ソース間のオン電圧が高くなる。一方、近時、入力信号系の電源電圧は省電力化等で低電圧化しており、上式(3)からも明らかなように、定電流駆動回路の動作範囲が狭くなっている。

きているためである。

【0024】第2の問題点は、上記第1の問題点を解決するため、入力端子1側の信号処理系の回路の電源電圧を高くして、上式(3)を満足させる方法もあるが、この方法では、定電流駆動回路と入力端子1側の回路を含んだ装置全体の消費電力が増加してしまう。

【0025】第3の問題点は、トランジスタのゲート・ソース間のオン電圧は温度特性を有するため、上式(3)の制約により、動作温度範囲が限定され、使用温度範囲の自由度が無くなる、ということである。

【0026】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、定電流駆動回路の電源電圧に対し、入力端子側の回路の電源電圧が低く、さらに、定電流駆動回路で使用するMOSトランジスタのゲート・ソース間のオン電圧が大きい場合でも、そのオン電圧に依存することなく、安定動作を可能とする定電流駆動回路を提供することにある。

#### 【0027】

【課題を解決するための手段】前記目的を達成するため、本発明は、入力端子からの信号電圧を電流に変換し、カレントミラー回路を介してその電流を負荷に供給する定電流駆動回路において、入力端子からの信号を入力とする第1のソースフォロワと、前記第1のソースフォロワの出力を入力とし前記カレントミラー回路を駆動第2のソースフォロワと、を備える。

【0028】本発明は、入力端子からの信号を入力とする第1のソースフォロワ、及び、前記第1のソースフォロワに直列接続したダイオードでレベルシフトした電圧を、前記カレントミラー回路を駆動する第2のソースフォロワに入力するように構成してもよい。

【0029】また本発明においては、前記入力端子からの信号電圧を入力とするソースフォロワの出力で前記カレントミラー回路を駆動するような構成としてもよい。

【0030】本発明においては、制御信号によって、前記カレントミラー回路を導通・遮断するスイッチ手段を備える他、スイッチ手段が遮断しても、負荷に電流を供給するための電荷保持手段をさらに備える。

#### 【0031】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、入力端子からの信号電圧を入力とする第1導電型のソースフォロワトランジスタ(12)と、第1のソースフォロワトランジスタと高電位側電源間に接続されダイオード接続された第2導電型のトランジスタ(13)と、ダイオード接続された第2導電型のトランジスタの出力を入力とする第2導電型のソースフォロワトランジスタ(5)と、第2導電型のソースフォロワトランジスタ(5)の出力に抵抗(6)を介して入力端子を接続し、出力端を負荷(11)に接続してなる第2導電型のトランジスタよりなるカレントミラー回路(7、8)と、を備

え、入力端子からの信号電圧を電流に変換しカレントミラー回路の出力端から負荷に電流を供給する。

【0032】さらに、カレントミラー回路の入力端と出力端を制御信号によりオン・オフするスイッチ(9)と、前記スイッチのオン時カレントミラー回路のトランジスタのゲート・ソース間電位を保持する容量(10)と、を備え、スイッチオフ時には、前記容量の保持電位によりカレントミラー回路の出力トランジスタを駆動してから負荷に電流を供給する。

【0033】より詳細には、本発明の一実施の形態について図1を参照して説明すると、入力端子(1)にゲートを接続したソースフォロワ用PチャネルMOSトランジスタ(12)と、ゲートとドレインを接続してなるダイオード接続構成のNチャネルMOSトランジスタ(13)とを直列に接続し、ソースフォロワトランジスタ(5)のゲート電圧を、入力端子(1)の電圧からMOSトランジスタのゲート・ソース間のオン電圧VGS2個分だけ高電圧側へレベルシフトしている。ここで、NチャネルMOSトランジスタとPチャネルMOSトランジスタのオン電圧がほぼ等しいとすると、ソースフォロワトランジスタ(5)に接続された抵抗(6)の両端の端子間電圧は、入力端子(1)に印加された電圧と等しくなる。

【0034】このように、本発明の実施の形態においては、抵抗(6)の端子間電圧は、定電流駆動回路を構成するMOSトランジスタのオン電圧とは、無関係に、入力端子(1)に発生する電圧が現れる。

【0035】従って、トランジスタ(7)およびトランジスタ(8)から構成されるカレントミラー回路は、電源電圧およびトランジスタのゲート・ソース間のオン電圧に依存することなく安定な動作を行い、負荷(11)に定電流を供給する。

【0036】また、本発明の定電流駆動回路は、制御端子(2)に制御信号が印加されスイッチ用トランジスタ(9)が遮断しても、カレントミラー回路の出力側のトランジスタ(8)のゲートと接地端子(4)との間に設けられた電荷保持容量(10)に蓄積された電荷によって、トランジスタ(8)のゲート電位を供給し、カレントミラー回路が遮断後も、負荷(11)に定電流を供給し続ける。

【0037】従って、本発明の定電流駆動回路は、アクティブライクス方式の有機EL素子等の駆動回路に適している。

【0038】本発明は、別の実施の形態として、図2を参照すると、入力端子(1)からの信号電圧を入力とする第1導電型のソースフォロワトランジスタ(12)と、第1導電型のソースフォロワトランジスタの出力を入力とする第2導電型のソースフォロワトランジスタ(5)と、第2導電型のソースフォロワトランジスタ(5)の出力に抵抗(6)を介して入力端が接続され、

出力端を負荷（11）に接続した第2導電型のトランジスタよりなるカレントミラー回路（7、8）とを備え、入力端子からの信号電圧を電流に変換し前記カレントミラー回路の出力端から負荷に電流を供給する構成としてもよい。以下、実施例に即して詳細に説明する。

【0039】

【実施例】図1は、本発明の定電流駆動回路の一実施例の回路構成を示す図である。図1を参照して、本発明の定電流駆動回路の一実施例を詳細に説明する。

【0040】この定電流駆動回路は、たとえば、有機EL素子のような定電流駆動を要する負荷を有し、負荷11の一端を電源端子3に接続し、負荷11の他端を定電流駆動用トランジスタ8のドレインに接続する。トランジスタ8のソースは接地端子4に接続しトランジスタ8のゲートには、電荷保持手段として、一端が接地端子4に接続された電荷保持容量10の一端を接続する。

【0041】トランジスタ8のゲートと電荷保持容量10の接続点は、スイッチ用トランジスタ9の一端が接続され、スイッチ用トランジスタ9のゲートは、制御端子2に接続し、制御端子2に印加する信号によってトランジスタ9の導通・遮断を制御し、トランジスタ8を介して、負荷11に供給する定電流の導通・遮断を行う。スイッチ用トランジスタ9の他端には、トランジスタ8と同一導電型のトランジスタ7のゲートおよびドレインを接続しトランジスタ7のソースは接地端子4に接続する。トランジスタ7とトランジスタ8はスイッチ用トランジスタ9がオン時に、トランジスタ7に流れる電流をミラー電流としてトランジスタ8から出力するカレントミラー回路を構成する。

【0042】なお、スイッチ用トランジスタ9は、NチャネルMOSトランジスタ、PチャネルMOSトランジスタのどちらを用いててもよい。トランジスタ9がNチャネルMOSトランジスタの場合、スイッチ用トランジスタ9は、制御端子2がハイレベルで導通、ローレベルで遮断し、一方、トランジスタ9がPチャネルMOSトランジスタで構成されれば、スイッチ用トランジスタ

$$I_1 = (V_1 + VGS13 + VGS12 - VGS5 - VGS7) / R_6 \cdots (4)$$

)

【0048】但し、VGS5はソースフォロワ型トランジスタ5のゲート・ソース間のオン電圧、R6は抵抗6の抵抗値である。

【0049】従って、トランジスタ7のドレインからソースに流れる、上式(4)で示す電流I1が、トランジスタ7のゲート・ソース間電圧として電圧に変換される。

【0050】制御端子2に制御信号が印加され、スイッチ用トランジスタ9が導通状態の場合、上式(4)で示した電流を電圧変換したトランジスタ7のゲート・ソース間電圧は、スイッチ用トランジスタ9を介して、電荷保持容量10およびトランジスタ8のゲートを駆動す

9は、制御端子2がローレベルで導通、ハイレベルで遮断する。

【0043】トランジスタ7のゲートおよびドレインは、抵抗6を介してソースフォロワ用トランジスタ5のソースに接続され、ソースフォロワ用トランジスタ5のドレインは電源端子3に接続する。抵抗6の両端に発生する電圧は、トランジスタ7および8で構成するカレントミラー回路の電流値を決定する。

【0044】トランジスタ5のゲートは、トランジスタ13のドレインとゲートとの接続点に接続し、その接続点は、一端を電源端子3に接続した抵抗14の他端に接続し、トランジスタ13のソースは、ソースフォロワ用PチャネルMOSトランジスタ12のソースに接続し、このトランジスタ12のドレインは接地端子4に、また、ゲートは入力端子1に接続する。抵抗14は、ソースフォロワ用トランジスタ13のバイアス電流を供給するものである。

【0045】本発明の一実施例の動作について説明する。図1に示した本発明の一実施例の定電流駆動回路は、主にアクティブマトリクス方式の有機EL素子の駆動回路に用いられる。入力端子1には入力画像信号が入力され、その階調データによって負荷である有機EL素子の発光輝度を変化させる。制御端子2には制御信号としてアドレス信号が入力され、入力端子1からの画像信号に対応する有機EL素子（画素）を選択的に定電流駆動するとともに、電荷保持容量10に、画像信号を読み込ませ、次の新しい画像信号が印加されるまで電荷を保持し、有機EL素子を発光させ続ける。

【0046】入力端子1に信号電圧が印加すると、トランジスタ5のゲート電圧は、入力端子1の電圧V1と、トランジスタ12および13のゲート・ソース間のオン電圧VGS12、VGS13の和であるため、カレントミラー回路を構成するトランジスタ7のドレイン電流I1は次式(4)で表すことが出来る。

【0047】

る。

【0051】トランジスタ7および8はカレントミラー回路を構成しているため、上式(4)に示した入力電流に比例した電流（ミラー電流）が、トランジスタ8のドレイン電流として流れ、負荷11を定電流駆動する。

【0052】カレントミラー回路の入力電流と出力電流の比を決定する要因は、トランジスタ7、8のパターンサイズの比（例えばチャネル幅等）で決定され、たとえば、トランジスタ7および8が同一パターンサイズであれば、上式(4)で示した電流と等しい電流がトランジスタ8のドレイン・ソース間を流れる。

【0053】次に、制御端子2の制御信号によって、ス

イッチ用トランジスタ9が遮断状態の場合、トランジスタ7とトランジスタ8のゲート間は開状態（オフ状態）となる。従って、トランジスタ7およびトランジスタ8で構成するカレントミラー回路は遮断する。しかしながら、スイッチ用トランジスタ9が導通状態の時に、トランジスタ7のゲート・ソース間には、上式（4）に対応する電圧VGS7が発生し、その電圧が、電荷保持容量10の端子間にも印加される。このため、カレントミラー回路遮断時には、容量10に保持された電圧が、トランジスタ8のゲートに印加されるので、このゲート電圧に対応した電流を負荷11に供給する。このように、本発明の一実施例においては、スイッチ用トランジスタ9

$$I_1 = (V_1 + VGS_P - VGS_N) / R_6 \quad \dots (5)$$

【0056】図1において、カレントミラー回路が正常動作を行うためには、 $I_1 > 0$ （トランジスタ7に電流が流れる電流は吸い込み電流となる）、従って、次式（6）が成り立つ必要がある。

$$VGS_N - VGS_P < V_1 \quad \dots (6)$$

【0058】従って、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧の差が、入力端子1の電圧V1よりも小さければ、図1に示した定電流駆動回路は安定な動作を行う。

【0059】なお、上式（6）において、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧VGSN、VGSPを等しくなるように、回路定数・パターンサイズ等を設定すると、本実施例の定電流駆動回路は、トランジスタのゲート・ソース間オン電圧に全く依存することなく、正常な動作を行う。

【0060】このように、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧の差が、入力端子1の電圧以下であれば正常動作を行う。

【0061】従って、定電圧駆動回路を構成するMOSトランジスタのゲート・ソース間オン電圧によって、入力端子1側の信号処理系の回路の電源電圧を高くする必要が無く、設計の自由度の大きい定電流駆動回路を提供できる。

【0062】また入力端子1側の信号処理系の回路の電源電圧を高くする必要がないため、定電圧駆動回路と入

$$I_1 = (V_1 + VGS_{12} - VGS_5 - VGS_7) / R_6 \quad \dots (7)$$

【0069】但し、VGS5、VGS7、VGS12はトランジスタ5、7、12のゲート・ソース間のオン電圧、V1は入力端子1の信号電圧、R6は抵抗6の抵抗値である。

【0070】上式（7）で示す電流I1がトランジスタ7のドレインからソースに流れ、トランジスタ7のゲート・ソース間電圧として電圧に変換される。この電圧が、スイッチ用トランジスタ9を介して、電荷保持容量10およびトランジスタ8のゲート・ソース間に伝達さ

$$I_1 = (V_1 + VGS_P - 2VGS_N) / R_6 \quad \dots (8)$$

【0073】NおよびPチャネルMOSトランジスタの

が遮断状態でも、上式（4）に示した電流を負荷11に供給する。

【0054】本発明の一実施例の作用効果について説明する。図1に示した本発明の一実施例の定電流駆動回路において、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧VGSを各々VGSN、VGSPとし、NチャネルMOSトランジスタに関しては、そのオン電圧がほぼ等しくなるように、回路定数・パターンサイズ等を設定すると、上式（4）は、次式（5）となる。

【0055】

$$I_1 = (V_1 + VGS_P - VGS_N) / R_6 \quad \dots (5)$$

力端子1側の信号処理系の回路を含めた装置全体の省電力化が可能である。

【0063】本発明の一実施例は、動作温度範囲の広い定電流駆動回路を提供できる。MOSトランジスタのゲート・ソース間のオン電圧は、温度特性を有する。

【0064】しかしながら、本発明の一実施例の定電流駆動回路は、上式（5）に示したように、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧の温度特性による変化分を、互いに相殺するため、温度による影響をほとんど受けない。

【0065】次に、本発明の他の実施例について説明する。

【0066】図2は、本発明の第二の実施例の構成を示す図である。図2を参照すると、図1に示した前記実施例のレベルシフト用トランジスタ13が削除されており、ゲートを入力端子1に接続しソースを接地端子4に接続したトランジスタ12のソースを抵抗14を介して電源単位14に接続し、トランジスタ12のソースと抵抗14の接続点をソースフォロワトランジスタ5のゲートに接続している。

【0067】本発明の第二の実施例の定電流駆動回路において、トランジスタ7のドレイン電流I1は次式（7）のようになる。

【0068】

$$I_1 = (V_1 + VGS_{12} - VGS_5 - VGS_7) / R_6 \quad \dots (7)$$

れて、負荷11を駆動する。

【0071】ここで、本発明の第二に実施例の定電流駆動回路において、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧を各々VGSN、VGSPとし、NチャネルMOSトランジスタに関しては、そのオン電圧がほぼ等しくなるように、回路定数・パターンサイズ等を設定すると、上式（7）は、次式（8）の様になる。

【0072】

$$I_1 = (V_1 + VGS_P - 2VGS_N) / R_6 \quad \dots (8)$$

ゲート・ソース間のオン電圧を等しくなるように、回路

定数・バターンサイズ等を設定し、これをVGSTとすると、図2に示した本発明の第二の実施例においても、カレントミラー回路が正常動作を行うためには、I1>0であることから、次式(9)が成り立つ必要がある。

【0074】  $VGST < V1 \dots (9)$

【0075】 図4に示した定電流駆動回路では、回路が正常な動作を行うためには、トランジスタのゲート・ソース間のオン電圧は、入力端子1の電圧の半分以下にする必要があったのに対し、本発明の第二の実施例においては、式(7)からも明らかなように、ゲート・ソース間のオン電圧VGSは入力端子1の電圧V1以下であればよい。

【0076】 このように、本発明の第二の実施例は、図1を参照して説明した前記実施例のように、トランジスタのゲート・ソース間のオン電圧に全く依存しないという構成ではないものの、図4に示した従来の定電流駆動回路と比べ、2倍改善されている。

【0077】 図3は、本発明の第三の実施例の構成を示す図である。図3を参照すると、本発明の第三の実施例においては、負荷8の一端を接地端子4に、他端を定電流駆動用のトランジスタ8のドレインに接続し、トランジスタ8のソースは電源端子3に接続し、トランジスタ8のゲートと電源端子3の間には、電荷保持手段として電荷保持容量10を接続する。

【0078】 トランジスタ8のゲートおよび電荷保持容量10の接続点には、スイッチ用トランジスタ9の一端を接し、スイッチ用トランジスタ9の他端には、トランジスタ8と同一導電型のトランジスタ7のゲートおよびドレインを接続し、トランジスタ7のソースは電源端子3に接続する。トランジスタ7および8はスイッチ用トランジスタ9を介してカレントミラー回路を構成する。なお、図3に示す例では、トランジスタ7および8はPチャネルMOSトランジスタを使用する。スイッチ用トランジスタ9は、図1に示したものと同様である。

【0079】 トランジスタ7のゲートおよびドレインは、トランジスタ12のドレインに接続し、トランジスタ12のゲートは入力端子1に接続し、ソースと接地端子4の間には抵抗6を接続する。ここで、トランジスタ12はNチャネルMOSトランジスタで構成する。

【0080】 入力端子1よりトランジスタ12で入力信号を受け、トランジスタ12のソースと接地端子4の間に設けた抵抗6によって、入力電圧を電流に変換する。抵抗6を流れる電流をI2とすると、この電流I2は次式(10)で与えられる。

【0081】

$I2 = (V1 - VGS12) / R6 \dots (10)$

【0082】 但し、VGS12はトランジスタ12のゲート・ソース間のオン電圧、R6は抵抗6の抵抗値、V1は入力端子1の信号電圧である。

【0083】 従って、上式(10)で示す電流がトラン

ジスタ7のドレイン電流として流れ、トランジスタ7のゲート・ソース間電圧として電圧に変換される。制御端子2に制御信号が印加し、スイッチ用トランジスタ9が導通状態の場合、上式(10)で示した電流を電圧変換したトランジスタ7のゲート・ソース間電圧はスイッチ用トランジスタ9を介して、電荷保持容量10およびトランジスタ8のゲートを駆動する。

【0084】 トランジスタ7およびトランジスタ8はカレントミラー回路を構成しているため、上式(10)に示した電流に比例した電流がトランジスタ8のドレイン電流として流れ、負荷11を定電流駆動する。

【0085】 次に、制御端子2の制御信号によって、スイッチ用トランジスタ9が遮断状態の場合、トランジスタ7とトランジスタ8のゲート間は開路状態(オフ状態)となり、トランジスタ7および8で構成するカレントミラー回路は遮断する。しかし、スイッチ用トランジスタ9が導通状態の時に、トランジスタ7のゲート・ソース間には式(10)に対応する電圧が発生し、更に、電荷保持容量10にも同電圧が印加されている。この電圧がトランジスタ8のゲートに印加されるので、このゲート電圧に対応した電流を負荷11に供給する。即ち、スイッチ用トランジスタ9が遮断状態でも、式(10)に示した電流を負荷11に供給する。

【0086】 図3に示した本発明の第三の実施例の定電流駆動回路が安定な動作を行うためには、上式(10)より、次式(11)を満たす必要がある。

【0087】  $VGS12 < V1 \dots (11)$

【0088】 上式(11)から明らかなように、本発明の第三の実施例においては、図2に示した前記第二の実施例と同様、トランジスタ12のゲート・ソース間のオン電圧は入力端子1の電圧V1以下でよく、動作範囲は、図4に示した回路の2倍改善されている。

【0089】 更に本発明の第三の実施例においては、図1および図2をそれぞれ参照して説明した前記各実施例と比較して、素子数が少なくて済み、このため、本発明を半導体集積回路で構成した場合、安価な回路を提供することができる。

【0090】 また、本発明の第三の実施例の定電流駆動回路を、有機EL素子の駆動回路として、薄膜トランジスタ(TFT)で構成した場合、素子数の少ない分、有機EL素子(画素)の占有率が上がり、開口率が良くなるため、画素の発光輝度の向上を計ることができる。

【0091】

【発明の効果】 以上説明したように、本発明によれば、下記記載の効果を奏する。

【0092】 本発明の第1の効果は、定電圧駆動回路を構成するMOSトランジスタのゲート・ソース間のオン電圧の差が、入力端子の電圧より小さければ、安定に動作する、ということである。その理由は、本発明においては、カレントミラー回路を駆動するソースフォロワと

カレントミラー回路の入力端との間に接続される抵抗の両端に、入力端子の印加電圧が現われるように構成したためである。

【0093】また、本発明の第2の効果は、NおよびPチャネルMOSトランジスタのゲート・ソース間のオン電圧を等しくなるように、回路定数・バターンサイズ等を設定した場合、トランジスタのオン電圧に全く依存することなく、正常動作する、ということである。

【0094】このため、本発明によれば、定電圧駆動回路を構成するMOSトランジスタのゲート・ソース間オン電圧によって、入力端子側の信号処理系の回路の電源電圧を高くする必要が無く、設計の自由度の大きい定電流駆動回路を提供できる。

【0095】また本発明の第3の効果は、入力端子側の信号処理系の回路の電源電圧を高くする必要がないため、定電圧駆動回路と入力端子側の信号処理系の回路を含めた装置全体の省電力化が可能である、ということである。

【0096】また本発明の第4の効果は、入力端子電圧をゲート入力とするトランジスタのゲート・ソース間のオン電圧は入力端子の電圧以下でよく、動作範囲は、従来の回路の2倍ほど改善する、ということである。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例の回路構成を示す図である。

【図2】本発明の第二の実施例の回路構成を示す図である。

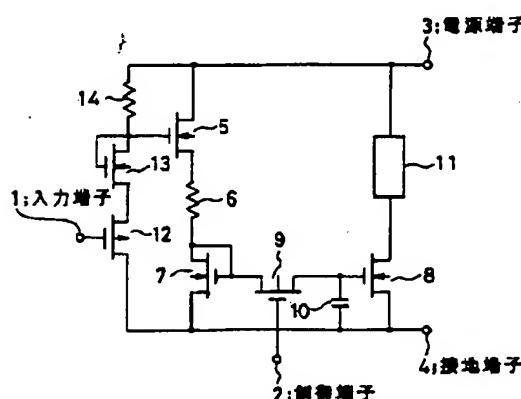
【図3】本発明の第三の実施例の回路構成を示す図である。

【図4】従来の定電流駆動回路の構成を示す図である。

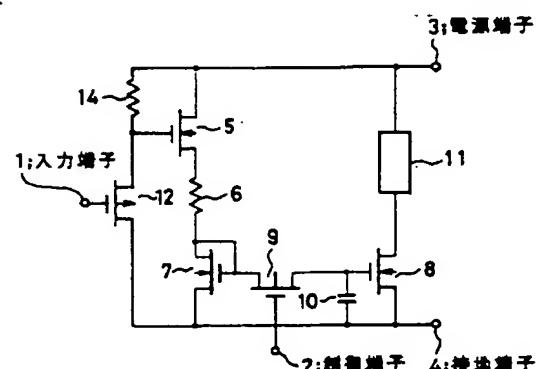
#### 【符号の説明】

- 1 入力端子
- 2 制御端子
- 3 電源端子
- 4 接地端子
- 5 ソースフォロワトランジスタ
- 6 抵抗
- 7, 8 トランジスタ
- 9 スイッチ用トランジスタ
- 10 容量
- 11 負荷
- 12, 13 トランジスタ
- 14 抵抗

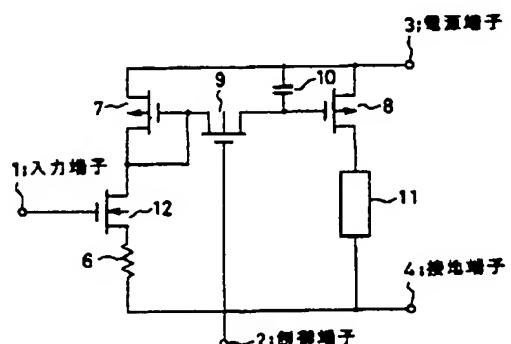
【図1】



【図2】



【図3】



【図4】

